

Electronique numérique

- Travaux Dirigés -

Sujet n°3 : "Circuits logiques combinatoires simples et évolués"

Exercice 1 : Réalisation de fonctions avec des portes NAND

Soit la fonction logique définie par la table de vérité suivante :

a	b	F(a,b)
0	0	1
0	1	0
1	0	1
1	1	1

Donner le schéma de cette fonction en utilisant uniquement des portes NON-ET.

Solution

$$\begin{aligned}f &= \overline{a}b + a\overline{b} + a.b \\ &= \overline{a}b + a \\ &= \overline{b} + a \\ &= \overline{\overline{b} + a} \\ &= \overline{a.b}\end{aligned}$$

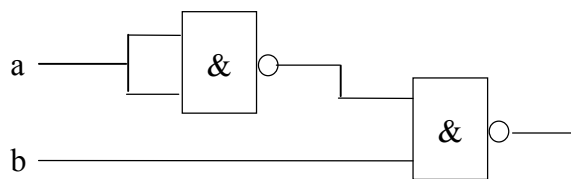
On peut remarquer que la table de vérité comporte moins de 0 que de 1. Exprimer \overline{f} mène donc à une expression plus simple :

$$\overline{f} = \overline{a}.b$$

d'où

$$f = \overline{\overline{a}.b}$$

Le circuit correspondant nécessite donc 2 portes NAND :



Exercice 2 : Réalisation de fonctions logiques à l'aide d'opérateurs

On considère la fonction logique suivante :

$$f = XY + XZ + Y\overline{Z}$$

- 1) Déterminer sa forme minimale disjonctive et conjonctive.
- 2) Réaliser la fonction simplifiée à l'aide d'opérateurs NAND
- 3) En déduire le circuit à base d'opérateurs NOR.
- 4) Retrouver ce résultat à partir de l'expression de la fonction.

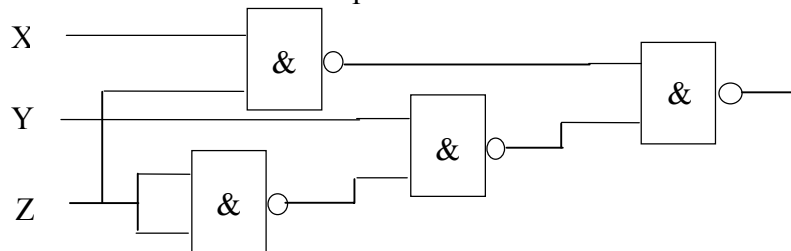
Solution

1) D'après le théorème du consensus :

$$E_1 = XY + XZ + Y\bar{Z} = XZ + Y\bar{Z}$$

$$= \overline{\overline{XZ} \overline{Y\bar{Z}}}$$

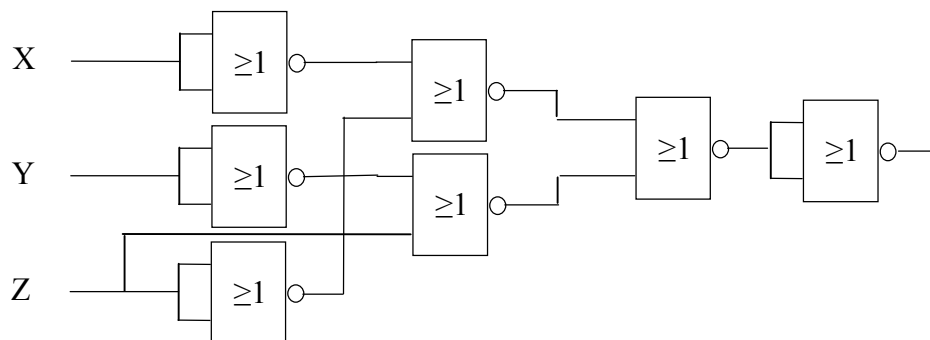
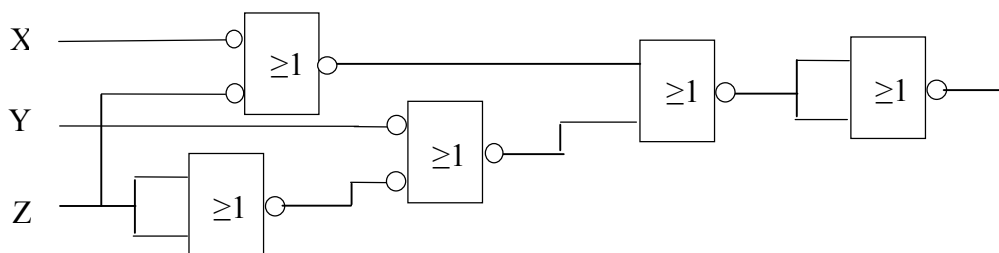
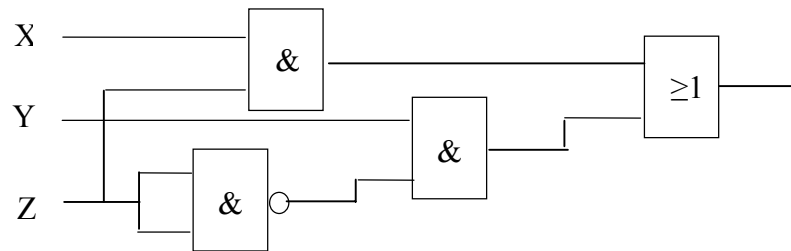
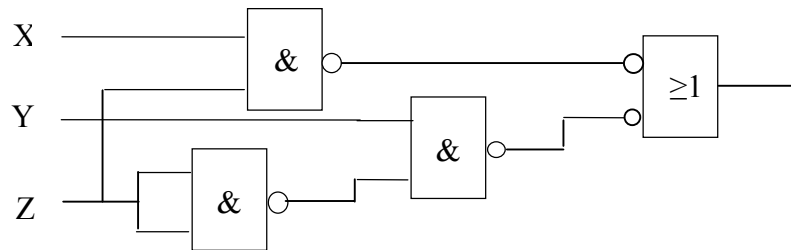
2) On peut réaliser cette fonction à l'aide de 4 portes NAND :



3) Pour transformer ce schéma en portes NOR, on utilise le théorème de DeMorgan :

$$\overline{A+B} = \bar{A}\bar{B}$$

$$\overline{A.B} = \bar{A} + \bar{B}$$



4) On peut vérifier que ce circuit est correct à partir de l'expression algébrique de la fonction :

$$\begin{aligned}
 E_1 &= XZ + Y\bar{Z} \\
 &= \overline{\overline{X + Z}} + \overline{\overline{Y + Z}} \\
 &= \overline{\overline{\overline{X + Z} + \overline{Y + Z}}} \\
 &= \overline{\overline{X + Z} + \overline{Y + Z}}
 \end{aligned}$$

Exercice 3 : Réalisation de circuits en portes NAND

- 1) Réaliser un NAND à 3 entrées avec des NAND à 2 entrées
- 2) Réaliser la fonction suivante en utilisant uniquement des NAND à 2 entrées :

$$y = x_1 x_0 + x_3 x_2 x_1$$

Solution

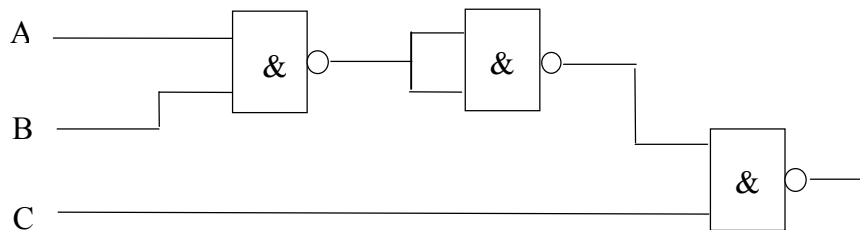
- 1) Un NAND à 3 variables A, B et C serait défini par :

$$\overline{A.B.C}$$

Il faut faire apparaître l'expression de fonctions NAND à 2 entrées :

$$\overline{\overline{A.B.C}} = \overline{\overline{A.B.C}}$$

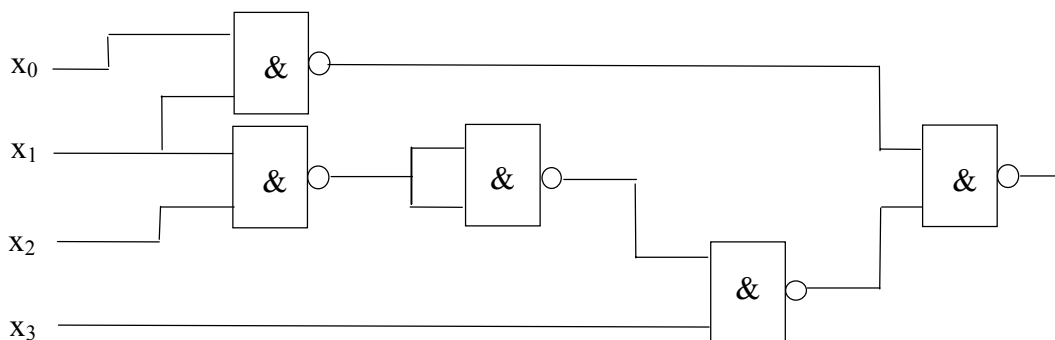
Cette expression correspond à 3 NAND à 2 entrées, dont une utilisée en inverseur. Elle correspond au schéma suivant :



- 2)

$$\begin{aligned}
 y &= x_0 x_1 + x_1 x_2 x_3 \\
 &= \overline{\overline{x_0 x_1}} + \overline{\overline{x_1 x_2 x_3}} \\
 &= \overline{\overline{x_0 x_1} + \overline{\overline{x_1 x_2 x_3}}}
 \end{aligned}$$

Sous cette forme, on repère 2 NAND à 2 entrée et une à 3 entrée. Pour cette dernière, on peut utiliser le circuit déterminé ci-dessus :



Exercice 4 "Réalisation d'un générateur de bit de parité à l'aide d'un multiplexeur"

Dans les systèmes logiques, les opérations de transfert sont très courantes. Au cours de ces transferts, les informations peuvent être erronées (parasites, défaillances du circuit). L'information peut donc être modifiée sans que l'utilisateur ne s'en rende compte. Divers moyens sont mis en œuvre pour vérifier la fiabilité du transfert.

Le générateur de parité est un système qui permet de détecter certaines erreurs, sans pouvoir les corriger. Le système consiste, par exemple tous les 4 bits, à rajouter un cinquième bit de parité dont la valeur est 0 si le nombre de 1 transférés est impair et 1 si ce nombre est pair.

- 1) Donner la table de vérité de ce système.
- 2) Réaliser cette fonction logique avec un multiplexeur à trois entrées adresses.

Solution

1)

A	B	C	D	F
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

2)

